

F2

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-164988

(P 2 0 0 0 - 1 6 4 9 8 8 A)

(43)公開日 平成12年6月16日(2000.6.16)

(51) Int.Cl.⁷
 H01S 5/323
 H01L 33/00

識別記号

F I
 H01S 3/18
 H01L 33/00

テマコード (参考)
 673 5F041
 L 5F073

審査請求 未請求 請求項の数38 ○ L (全11頁)

(21)出願番号 特願平10-335851

(22)出願日 平成10年11月26日(1998.11.26)

(71)出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号

(72)発明者 日野 智公
 東京都品川区北品川6丁目7番35号 ソニ
 一株式会社内

(72)発明者 浅野 竹春
 東京都品川区北品川6丁目7番35号 ソニ
 一株式会社内

(74)代理人 100082762
 弁理士 杉浦 正知

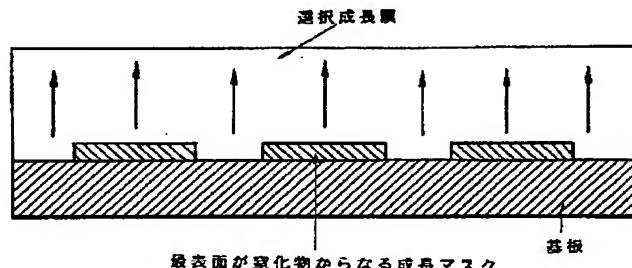
最終頁に続く

(54)【発明の名称】窒化物系III-V族化合物半導体の成長方法、半導体装置の製造方法および半導体装置

(57)【要約】

【課題】 低結晶欠陥密度の高品質の単結晶の窒化物系III-V族化合物半導体を成長させることができる窒化物系III-V族化合物半導体の成長方法、この方法を用いて製造される半導体装置およびその製造方法を提供する。

【解決手段】 基板上に成長マスクを形成し、この成長マスクを用いて基板上に窒化物系III-V族化合物半導体を選択成長させる場合に、少なくとも最表面が窒化物からなる多層膜を成長マスクとして用いる。成長マスクは、例えば、酸化膜とその上の窒化膜とからなるもの、金属膜とその上の窒化膜とからなるもの、酸化膜とその上の窒化物および酸化物からなる膜とその上の窒化膜とからなるもの、第1の金属膜とその上の第2の金属膜とその上の窒化膜とからなるものなどである。酸化膜はSiO₂膜、窒化膜はTiN膜やSiN膜、窒化物および酸化物からなる膜はSiNO膜、金属膜はTi膜やPt膜などである。



【特許請求の範囲】

【請求項1】 基板上に成長マスクを形成し、上記成長マスクを用いて上記基板上に窒化物系III-V族化合物半導体を選択成長させるようにした窒化物系III-V族化合物半導体の成長方法において、

上記成長マスクとして、少なくとも最表面が窒化物からなる多層膜を用いることを特徴とする窒化物系III-V族化合物半導体の成長方法。

【請求項2】 上記窒化物は窒化シリコンまたは窒化チタンであることを特徴とする請求項1記載の窒化物系III-V族化合物半導体の成長方法。

【請求項3】 上記多層膜は酸化膜とその上の窒化膜とからなることを特徴とする請求項1記載の窒化物系III-V族化合物半導体の成長方法。

【請求項4】 上記酸化膜は酸化シリコン膜であり、上記窒化膜は窒化シリコン膜または窒化チタン膜であることを特徴とする請求項3記載の窒化物系III-V族化合物半導体の成長方法。

【請求項5】 上記多層膜は金属膜とその上の窒化膜とからなることを特徴とする請求項1記載の窒化物系III-V族化合物半導体の成長方法。

【請求項6】 上記金属膜はチタン膜または白金膜であり、上記窒化膜は窒化シリコン膜または窒化チタン膜であることを特徴とする請求項5記載の窒化物系III-V族化合物半導体の成長方法。

【請求項7】 上記多層膜は酸化膜とその上の窒化物および酸化物からなる膜とその上の窒化膜とからなることを特徴とする請求項1記載の窒化物系III-V族化合物半導体の成長方法。

【請求項8】 上記酸化膜は酸化シリコン膜であり、上記窒化物および酸化物からなる膜は窒化酸化シリコン膜であり、上記窒化膜は窒化シリコン膜または窒化チタン膜であることを特徴とする請求項7記載の窒化物系III-V族化合物半導体の成長方法。

【請求項9】 上記多層膜は第1の金属膜とその上の上記第1の金属膜と異なる第2の金属膜とその上の窒化膜とからなることを特徴とする請求項1記載の窒化物系III-V族化合物半導体の成長方法。

【請求項10】 上記第1の金属膜および上記第2の金属膜はチタン膜または白金膜であり、上記窒化膜は窒化シリコン膜または窒化チタン膜であることを特徴とする請求項9記載の窒化物系III-V族化合物半導体の成長方法。

【請求項11】 上記成長マスクはストライプ形状を有することを特徴とする請求項1記載の窒化物系III-V族化合物半導体の成長方法。

【請求項12】 上記基板上に少なくとも最表面が窒化物からなる多層膜により構成された第1の成長マスクを形成し、上記第1の成長マスクを用いて上記基板上に第1の窒化物系III-V族化合物半導体を選択成長させ

た後、上記第1の成長マスクにより覆われていない部分の上記基板の上方の部分における上記第1の窒化物系III-V族化合物半導体上に少なくとも最表面が窒化物からなる多層膜により構成された第2の成長マスクを形成し、上記第2の成長マスクを用いて上記第1の窒化物系III-V族化合物半導体上に第2の窒化物系III-V族化合物半導体を選択成長させたことを特徴とする請求項1記載の窒化物系III-V族化合物半導体の成長方法。

【請求項13】 上記基板はサファイア基板、SiC基板、Si基板、スピネル基板またはこれらの上に窒化物系III-V族化合物半導体を成長させたものであることを特徴とする請求項1記載の窒化物系III-V族化合物半導体の成長方法。

【請求項14】 基板上に成長マスクを形成し、上記成長マスクを用いて上記基板上に窒化物系III-V族化合物半導体を選択的に成長させた半導体装置の製造方法において、

上記成長マスクとして、少なくとも最表面が窒化物からなる多層膜を用いることを特徴とする半導体装置の製造方法。

【請求項15】 上記窒化物は窒化シリコンまたは窒化チタンであることを特徴とする請求項14記載の半導体装置の製造方法。

【請求項16】 上記多層膜は酸化膜とその上の窒化膜とからなることを特徴とする請求項14記載の半導体装置の製造方法。

【請求項17】 上記酸化膜は酸化シリコン膜であり、上記窒化膜は窒化シリコン膜または窒化チタン膜であることを特徴とする請求項16記載の半導体装置の製造方法。

【請求項18】 上記多層膜は金属膜とその上の窒化膜とからなることを特徴とする請求項14記載の半導体装置の製造方法。

【請求項19】 上記金属膜はチタン膜または白金膜であり、上記窒化膜は窒化シリコン膜または窒化チタン膜であることを特徴とする請求項18記載の半導体装置の製造方法。

【請求項20】 上記多層膜は酸化膜とその上の窒化物および酸化物からなる膜とその上の窒化膜とからなることを特徴とする請求項14記載の半導体装置の製造方法。

【請求項21】 上記酸化膜は酸化シリコン膜であり、上記窒化物および酸化物からなる膜は窒化酸化シリコン膜であり、上記窒化膜は窒化シリコン膜または窒化チタン膜であることを特徴とする請求項20記載の半導体装置の製造方法。

【請求項22】 上記多層膜は第1の金属膜とその上の上記第1の金属膜と異なる第2の金属膜とその上の窒化膜とからなることを特徴とする請求項14記載の半導体装置の製造方法。

装置の製造方法。

【請求項23】 上記第1の金属膜および上記第2の金属膜はチタン膜または白金膜であり、上記窒化膜は窒化シリコン膜または窒化チタン膜であることを特徴とする請求項22記載の半導体装置の製造方法。

【請求項24】 上記成長マスクを電極として用いることを特徴とする請求項14記載の半導体装置の製造方法。

【請求項25】 上記成長マスクが金属膜とその上の窒化膜とからなることを特徴とする請求項24記載の半導体装置の製造方法。

【請求項26】 上記窒化膜が窒化チタン膜であることを特徴とする請求項25記載の半導体装置の製造方法。

【請求項27】 上記成長マスクが金属膜とその上の窒化物および酸化物からなる膜とその上の窒化膜とからなることを特徴とする請求項24記載の半導体装置の製造方法。

【請求項28】 上記窒化膜が窒化チタン膜であることを特徴とする請求項27記載の半導体装置の製造方法。

【請求項29】 上記成長マスクが第1の金属膜とその上の上記第1の金属膜と異なる第2の金属膜とその上の窒化膜とからなることを特徴とする請求項24記載の半導体装置の製造方法。

【請求項30】 上記窒化膜が窒化チタン膜であることを特徴とする請求項29記載の半導体装置の製造方法。

【請求項31】 上記成長マスクが酸化膜とその上の窒化チタン膜とからなることを特徴とする請求項24記載の半導体装置の製造方法。

【請求項32】 上記成長マスクが金属膜とその上の窒化チタン膜とからなることを特徴とする請求項24記載の半導体装置の製造方法。

【請求項33】 上記成長マスクが酸化膜とその上の窒化物および酸化物からなる膜とその上の窒化チタン膜とからなることを特徴とする請求項24記載の半導体装置の製造方法。

【請求項34】 上記成長マスクが第1の金属膜とその上の上記第1の金属膜と異なる第2の金属膜とその上の窒化チタン膜とからなることを特徴とする請求項24記載の半導体装置の製造方法。

【請求項35】 上記成長マスクはストライプ形状を有することを特徴とする請求項14記載の半導体装置の製造方法。

【請求項36】 上記基板上に少なくとも最表面が窒化物からなる多層膜により構成された第1の成長マスクを形成し、上記第1の成長マスクを用いて上記基板上に第1の窒化物系I-II-V族化合物半導体を選択成長させた後、上記第1の成長マスクにより覆われていない部分の上記基板の上方の部分における上記第1の窒化物系I-II-V族化合物半導体上に少なくとも最表面が窒化物からなる多層膜により構成された第2の成長マスクを形

成し、上記第2の成長マスクを用いて上記第1の窒化物系I-II-V族化合物半導体上に第2の窒化物系I-II-V族化合物半導体を選択成長させるようにしたことを特徴とする請求項14記載の半導体装置の製造方法。

【請求項37】 上記基板はサファイア基板、SiC基板、Si基板、スピネル基板またはこれらの上に窒化物系I-II-V族化合物半導体を成長させたものであることを特徴とする請求項14記載の半導体装置の製造方法。

10 【請求項38】 窒化物系I-II-V族化合物半導体を用いた半導体装置において、

基板上に、少なくとも最表面が窒化物からなる多層膜により構成された成長マスクが設けられ、この成長マスクを用いて上記基板上に窒化物系I-II-V族化合物半導体が選択成長されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、窒化物系I-II-V族化合物半導体の成長方法、半導体装置の製造方法および半導体装置に関し、特に、窒化物系I-II-V族化合物半導体を用いた半導体レーザや発光ダイオードあるいは電子走行素子に適用して好適なものである。

【0002】

【従来の技術】 GaN系半導体は直接遷移半導体であり、その禁制帯幅は1.9eVから6.2eVに亘っており、可視領域から紫外線領域におよぶ発光が可能な発光素子の実現が可能であることから、近年注目を集めしており、その開発が活発に進められている。また、このGaN系半導体は、FETなどの電子走行素子の材料としても大きな可能性を持っている。すなわち、GaNの飽和電子速度は約 2.5×10^7 cm/sとSi、GaAsおよびSiCに比べて大きく、また、破壊電界は約 5×10^6 V/cmとダイヤモンドに次ぐ大きさを持っている。このような理由により、GaN系半導体は、高周波、高温、大電力用電子走行素子の材料として大きな可能性を持つことが予想してきた。

【0003】 これらの半導体素子は、一般に、基板上に成長させたGaN系半導体により構成されている。このため、これらの半導体素子の性能を保持しつつ向上させるためには、GaN系半導体の結晶性が大きく影響を及ぼす。ところが、このGaN系半導体の成長用基板としては、GaNとの格子整合性が良い適当な基板がないため、主にサファイア基板が用いられているが、GaNとの格子不整合は非常に大きい。

【0004】 このように基板との格子整合性が悪いことは、その上に成長させるGaN系半導体層の結晶性に対する影響も大きく、GaN系半導体層中に結晶欠陥を発生する大きな要因になる。

【0005】 従来は、この結晶欠陥の発生を抑えるために、サファイア基板上に低温でGaNまたはAlNから

なるバッファ層を成長させ、基板温度を1000°C前後に上昇させて再結晶化させた後、その上にGaN系半導体を成長させることにより、GaN系半導体の品質の向上を図っている（例えば、Appl.Phys.Lett.48(1986)353, Jpn.J.Appl.Phys.30(1991)L1705）。

【0006】しかしながら、この方法を用いても、結晶欠陥の低減には限界があり、欠陥（特に貫通転位）密度は $10^8 \sim 10^{10} \text{ cm}^{-2}$ 程度と極めて高い。

【0007】そこで、この欠陥密度を低減させるために、従来GaNなどのIII-V族化合物半導体の選択成長に用いられてきた基板上にGaN層を成長させ、その上に酸化シリコン膜などの絶縁膜を用いた帯状のマスクを<11-20>方向に延長させて、ある一定間隔に配置し、その上にハイドライド気相成長(HVPE)法によりGaN層の選択成長を行うことが報告されている（例えば、Jpn.J.Appl.Phys.36(1997)L899）。これによれば、貫通転位密度を $6 \times 10^7 \text{ cm}^{-2}$ 程度まで減少させることができる。

【0008】また、そのほかにも、基板上に延在方向が上記の例とは 90° 異なるマスクを形成して選択成長を行い、その選択成長膜の上に半導体発光素子構造を作製した例もある。例えば、サファイア基板上有機金属化学気相成長(MOCVD)法によりGaN層を成長させ、その上に酸化シリコンからなる帯状のマスクを<1-100>方向に延長させて、所定の間隔で配置し、その上にMOCVD法によりGaN層を成長させ、さらに発光素子構造を形成している（Appl.Phys.Lett.72(1998)211, Jpn.J.Appl.Phys.36(1997)L899）。これらの報告によれば、貫通転位密度を $1 \times 10^7 \text{ cm}^{-2}$ 程度まで減少させることができる。この場合、上部に作製した半導体レーザの寿命が1000時間以上になることが確認されている。

【0009】

【発明が解決しようとする課題】しかしながら、本発明者が独自に得た知見によれば、上述の従来の成長方法で得られるGaN系半導体層には、基板との界面近傍に結晶欠陥が多く残されており、欠陥密度の低減はまだ不十分であるという問題があった。

【0010】したがって、この発明の目的は、低結晶欠陥密度の高品質の単結晶の窒化物系III-V族化合物半導体を成長させることができる窒化物系III-V族化合物半導体の成長方法、この成長方法を用いて製造される半導体装置およびその製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明者は、従来技術が有する上述の課題を解決すべく、鋭意検討を行った。以下にその概要について説明する。

【0012】図1および図2は、c面サファイア基板上にSiO₂からなる帯状のマスクを<1-100>方向

に延長させて、所定の間隔で配置し、その上にMOCVD法によりGaN層を成長させた試料を作製し、その試料にそれぞれマスクに対して水平方向からX線を入射した場合（図3参照）およびマスクに対して垂直方向からX線を入射した場合（図4参照）におけるX線回折スペクトルの測定結果を示す。

【0013】図1および図2より、X線がマスクに対して平行方向から入射した場合には単峰性を示すのに、X線がマスクに対して垂直方向から入射した場合にはc軸の結晶軸の傾きが多峰性を示すことを確認することができる。透過型電子顕微鏡(TEM)による解析結果から、図5に示すように、選択成長を行うためのマスク上とマスクのない部分との3箇所の縦方向の結晶軸がずれていることが判明した。なお、図5中、マスク上の結晶軸の傾きは、この場合に限定されない。

【0014】選択成長膜に結晶軸の傾きが存在する場合、特に上記に示したように不連続な変化がある場合には、その界面において転位などの格子欠陥が導入されていることが考えられる。実際にTEM観察において転位が観測され、このような欠陥の導入はこの上に作製する半導体レーザの素子特性を低下させる要因となり得る。

【0015】本発明者は、種々検討を行った結果、選択成長用のマスク上に成長する膜の結晶軸の傾きを抑えるには、マスクの最表面を窒化物で構成することが有効であることを見い出した。

【0016】図6および図7は、c面サファイア基板上に、SiO₂膜上にSiN膜を積層したSiN/SiO₂膜からなる帯状のマスクを<1-100>方向に延長させて、所定の間隔で配置し、その上にMOCVD法によりGaN層を成長させた試料を作製し、その試料にそれぞれマスクに対して平行方向およびマスクに対して垂直方向からX線を入射した場合におけるX線回折スペクトルの測定結果を示す。

【0017】図6および図7より、最表面がSiNのマスクを用いた選択成長では、マスクに対して平行方向および垂直方向ともに、結晶軸の傾きを示すピークが単峰になっていることを確認することができる。さらに、測定範囲内の結晶軸の傾きのばらつきを示す半値幅(FWHM)も減少していることを確認することができ、この選択成長膜の結晶性の高さを示している。

【0018】これは、図5に示すように選択成長膜の結晶軸が、領域毎に変化しているのではなく、図8に示すように、選択成長膜全体に亘って縦方向の結晶軸がそろって均質な膜が成長していることを示している。

【0019】また、特に、窒化物系III-V族化合物半導体を用いた半導体発光素子においては、マスクの最表面の窒化物として窒化シリコンまたは窒化チタンを行い、その下にチタンを用いた多層膜からなるマスクを選択成長に用いた場合、単にチタンをマスクとして選択成長を行った場合よりも、より安定な窒化物が表面にある

ため、選択成長を行いやすく、さらにこのチタンをn側電極として用いた場合に、従来横方向にしか流せなかつたn型層の電流を、容易に縦方向に流すことができ、動作電圧の低減を図ることが可能になる。

【0020】この発明は、本発明者による以上のような検討に基づいて案出されたものである。

【0021】すなわち、上記目的を達成するために、この発明の第1の発明は、基板上に成長マスクを形成し、成長マスクを用いて基板上に窒化物系III-V族化合物半導体を選択成長させるようにした窒化物系III-V族化合物半導体の成長方法において、成長マスクとして、少なくとも最表面が窒化物からなる多層膜を用いることを特徴とするものである。

【0022】この発明の第2の発明は、基板上に成長マスクを形成し、成長マスクを用いて基板上に窒化物系III-V族化合物半導体を選択成長させないようにした半導体装置の製造方法において、成長マスクとして、少なくとも最表面が窒化物からなる多層膜を用いることを特徴とするものである。

【0023】この発明の第3の発明は、窒化物系III-V族化合物半導体を用いた半導体装置において、基板上に、少なくとも最表面が窒化物からなる多層膜により構成された成長マスクが設けられ、この成長マスクを用いて基板上に窒化物系III-V族化合物半導体が選択成長されていることを特徴とするものである。

【0024】この発明において、成長マスクを構成する多層膜の表面の窒化物は、基本的にはどのような窒化物であってもよいが、具体的には、例えば、窒化シリコン(SiN)や窒化チタン(TiN)などである。この窒化物の厚さは、好適には、1nm以上3μm以下とする。この多層膜は、例えば、酸化膜とその上の窒化膜とからなるもの、金属膜とその上の窒化膜とからなるもの、酸化膜とその上の窒化物および酸化物からなる膜とその上の窒化膜とからなるもの、第1の金属膜とその上の第1の金属膜と異なる第2の金属膜とその上の窒化膜とからなるもの、などの種々のものであってよい。ここで、酸化膜は例えば酸化シリコン膜であり、窒化膜は例えば窒化シリコン(SiN)膜や窒化チタン(TiN)膜などの金属窒化膜、金属膜は例えばチタン(Ti)膜や白金(Pt)膜などであり、窒化物および酸化物からなる膜は例えば窒化酸化シリコン(Si_xN_yO_z(ただし、0<x<1))膜である。また、これらの多層膜は、場合によっては、一つまたは複数の界面で組成が徐々に変化するように構成してもよい。

【0025】また、成長マスクの形状は、種々の形状とすることができ、必要に応じて決定することができるが、典型的には、基板に対して一方向に延びるストライプ形状に選ばれる。

【0026】この発明においては、基板上に少なくとも最表面が窒化物からなる多層膜により構成された第1の

成長マスクを形成し、第1の成長マスクを用いて基板上に第1の窒化物系III-V族化合物半導体を選択成長させた後、第1の成長マスクにより覆われていない部分の基板の上方の部分における第1の窒化物系III-V族化合物半導体上に少なくとも最表面が窒化物からなる多層膜により構成された第2の成長マスクを形成し、第2の成長マスクを用いて第1の窒化物系III-V族化合物半導体上に第2の窒化物系III-V族化合物半導体を選択成長させるようにしてよい。

【0027】この発明においては、成長マスクをそのまま電極として用いることもできる。このときの成長マスクは、最下層が金属膜などの導電膜であるか、少なくともその最表面が導電性の窒化物からなるものである必要がある。この成長マスクは、具体的には、例えば、金属膜とその上の窒化膜とからなるもの、金属膜とその上の窒化物および酸化物からなる膜とその上の窒化膜とからなるもの、第1の金属膜とその上の上記第1の金属膜と異なる第2の金属膜とその上の窒化膜とからなるもの、酸化膜とその上の窒化チタン膜とからなるもの、金属膜とその上の窒化チタン膜とからなるもの、酸化膜とその上の窒化物および酸化物からなる膜とその上の窒化チタン膜とからなるもの、第1の金属膜とその上の第1の金属膜と異なる第2の金属膜とその上の窒化チタン膜とからなるもの、などである。酸化膜、金属膜、窒化物および酸化物からなる膜などとしては上述と同様なものを用いることができる。

【0028】この発明において、基板はサファイア基板、SiC基板、Si基板、スピネル基板などのほか、これらの上に窒化物系III-V族化合物半導体を成長させたものであってよい。

【0029】この発明において、窒化物系III-V族化合物半導体の成長には、有機金属化学気相成長(MOCVD)法、ハイドライド気相成長(HVPE)法、分子線エピタキシー(MBE)法などを用いることができる。

【0030】この発明において、基板はサファイア基板、SiC基板、Si基板、スピネル基板などのほか、これらの上に窒化物系III-V族化合物半導体を成長させたものであってよい。

【0031】この発明において、窒化物系III-V族化合物半導体は、Ga、Al、In、BおよびTiからなる群より選ばれた少なくとも一種類のIII族元素と、少なくともNを含み、場合によってさらにAsまたはPを含むV族元素とからなる。この窒化物系III-V族化合物半導体の具体例を挙げると、GaN、AlGaN、AlN、GaInN、AlGaInN、InNなどである。

【0032】上述のように構成されたこの発明においては、成長マスクとして、少なくとも最表面が窒化物からなる多層膜を用いていることにより、その最表面の窒化

物の存在により、窒化物系III-V族化合物半導体の選択成長時に、成長膜の縦方向の結晶軸がよりそろい、成長膜の縦方向の結晶軸の分布の低減を図ることができる。

【0033】

【発明の実施の形態】以下、この発明の実施形態について図面を参考しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

【0034】図9～図14はこの発明の第1の実施形態によるGaN系半導体レーザの製造方法を示す。このGaN系半導体レーザは、SCH (Separate Confinement Heterostructure) 構造を有するものである。

【0035】この第1の実施形態においては、まず、図9に示すように、あらかじめ表面が清浄化されたc面サファイア基板1上にアンドープGaN層とその上のn型GaN層とからなるn型GaN/アンドープGaN層2を成長させる。このn型GaN/アンドープGaN層2の成長には、MOCVD法、HYPE法、MBE法などを用いることができる。次に、このn型GaN/アンドープGaN層2上に、酸化物または金属からなる第1の膜3と、窒化物および酸化物または金属からなる第2の膜4と、導電性の窒化物からなる第3の膜5とを順次形成する。具体的には、第1の膜3としては例えばSiO_x膜やTi膜やPt膜など、第2の膜4としては例えばSiN_x膜やO_x膜（ただし、0 < x < 1）膜やTi膜やPt膜など、第3の膜5としては例えばTiN膜やSiN膜などを用いる。ここで、後述のように、これらの第1の膜3、第2の膜4および第3の膜5により形成される成長マスクを電極として用いることから、第1の膜3および第3の膜5のうちの少なくとも一方は導電性である必要がある。例えば、第1の膜3としてTi膜やPt膜などの金属膜を用いる場合には、第3の膜5としては例えばTiN膜またはSiN膜のいずれを用いてもよいが、第1の膜3としてSiO_x膜などの酸化膜を用いる場合には、第3の膜5としては導電性のTiN膜を用いる必要がある。これらの第1の膜3、第2の膜4および第3の膜5の形成には、真空蒸着法、スパッタリング法、CVD法などを用いることができる。第3の膜5として用いられるTiN膜は、直接形成してもよいが、Ti膜を形成した後、このTi膜を高温のアンモニア（NH₃）中で熱処理して窒化を行うことにより形成してもよい。また、必要に応じて、これらの第1の膜3、第2の膜4および第3の膜5を形成する前に、n型GaN/アンドープGaN層2の表面を例えばフッ酸系のエッチングを用いて表面処理を行うことにより、表面の汚れや酸化膜などを除去して清浄化しておく。

【0036】次に、図10に示すように、第3の膜5上に、リソグラフィーにより、半導体レーザのストライプ方向に垂直な方向に延びるストライプ形状のレジストバ

ターン6を所定周期で形成する。このレジストパターン6の延びる方向は、例えば、c面サファイア基板1の<11-20>方向に垂直な方向である。

【0037】次に、図11に示すように、レジストパターン6をマスクとして第3の膜5、第2の膜4および第1の膜3を順次エッチングすることにより、第1の膜3、第2の膜4および第3の膜5からなる成長マスク7を形成する。この成長マスク7の幅は、必要に応じて選ぶことができるが、例えば4.8μm以下とする。このエッチングには、例えば、反応性イオンエッチング（RIE）法のようなドライエッチング法や、フッ酸系のエッチング液を用いたウェットエッチング法などを用いることができる。

【0038】次に、図12に示すように、レジストパターン6を除去する。

【0039】次に、成長マスク7が形成されたc面サファイア基板1をMOCVD装置の反応管内に導入する。この反応管は例えば石英やステンレス鋼などからなる。そして、この反応管内にN原料として例えばアンモニア

(NH₃)、GaN原料として例えばトリメチルガリウム(TMG)またはトリエチルガリウム(TEGa)、キャリアガスとして例えば水素(H₂)または窒素(N₂)、n型ドーパントとして例えばシラン(SiH_x)を同時に供給する。この際、選択成長を良好に行わせるために、好適には、成長速度が6μm以下となるよう原料の供給量を調整する。さらに、基板温度は、例えば500℃以上1200℃以下とする。これは、500℃未満の低温では、成長マスク7が形成されたc面サファイア基板1上に供給される原料に対して十分なマイグレーションエネルギーが与えられず、良質なGaN層を成長させることができず、一方、1200℃より高温では、原料の付着係数が低下しすぎて十分な成長速度を確保することができないことや、反応管の安全性に問題が生じるからである。このようにして、図13に示すように、成長マスク7が形成されたn型GaN/アンドープGaN層2上で選択成長が起こり、縦方向の結晶軸の分布が非常に小さく抑えられた、良好な結晶性を持つn型GaN層8が連続膜として得られる。

【0040】次に、図14に示すように、引き続いでMOCVD法によりn型GaN層8上に、n型GaN層9、n型AlGaNクラッド層10、n型GaN光導波層11、例えばGa_{1-x}In_xN/Ga_{1-y}In_yN多重量子井戸構造の活性層12、p型GaN光導波層13、p型AlGaNクラッド層14およびp型GaNコンタクト層15を順次成長させる。このとき、これらの層の下地となるn型GaN層8が低結晶欠陥密度の高品質の単結晶であることから、これらの層もまた低結晶欠陥密度の高品質の単結晶となる。ここで、Inを含まない層であるn型GaN層9、n型AlGaNクラッド層10、n型GaN光導波層11、p型GaN光導波層13

3. p型AlGaNクラッド層14およびp型GaNコンタクト層15の成長温度は例えば1000°C程度とし、Inを含む層であるGa_{1-x}In_xN/Ga_{1-y}In_yN多重量子井戸構造の活性層12の成長温度は例えば700~800°Cとする。また、これらの層の厚さの一例を挙げると、n型GaN層9は3μm、n型AlGaNクラッド層10は0.5μm、n型GaN光導波層11は0.1μm、p型GaN光導波層12は0.1μm、p型AlGaNクラッド層14は0.5μm、p型GaNコンタクト層15は0.5μmとする。n型AlGaNクラッド層10およびp型AlGaNクラッド層14のAl組成は例えば0.1とする。また、n型GaN層9、n型AlGaNクラッド層10およびn型GaN光導波層11にはドナーとして例えばSiをドープし、p型GaN光導波層13、p型AlGaNクラッド層14およびp型GaNコンタクト層15にはアクセプタとして例えばMgをドープする。この後、これらの層にドープされたドナーおよびアクセプタの電気的活性化、特にp型GaN光導波層13、p型AlGaNクラッド層14およびp型GaNコンタクト層15にドープされたアクセプタの電気的活性化のための熱処理を行う。この熱処理の温度は例えば700°C程度とする。

【0041】次に、p型GaNコンタクト層15上に、例えばc面サファイア基板1の〈11-20〉方向に延びる所定幅のストライプ形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、例えばRIE法によりn型GaN/アンドープGaN層8および成長マスク7が露出するまでエッチングすることにより、p型GaNコンタクト層15、p型AlGaNクラッド層14、p型GaN光導波層13、活性層12、n型GaN光導波層11、n型AlGaNクラッド層10、n型GaN層9およびn型GaN層8をメサ形状にパターニングする。

【0042】次に、エッティングマスクに用いたレジストパターンを除去した後、p型GaNコンタクト層15上に例えばNi/Au膜やNi/Pt/Au膜などからなるp側電極16を形成するとともに、メサ部に隣接する部分のn型GaN/アンドープGaN層2および成長マスク7上に例えばTi/A1膜からなるn側電極17を形成する。このn側電極17は、成長マスク7およびn型GaN/アンドープGaN層8を介してn型GaN層8と電気的に接続されている。

【0043】この後、上述のようにしてレーザ構造が形成されたc面サファイア基板1を劈開などによりバー状に加工して両共振器端面を形成し、さらにこれらの共振器端面に端面コーティングを施した後、このバーを劈開などによりチップ化する。以上により、目的とするSCH構造のGaN系半導体レーザが製造される。

【0044】以上のように、この第1の実施形態によれば、成長マスク7を用いた選択成長により縦方向の結晶

軸の方位がそろった良好な結晶性を持つn型GaN層8を成長させ、その上にレーザ構造を形成するGaN系半導体層を成長させていることにより、特性が良好で、寿命が長く、信頼性が高いGaN系半導体レーザを実現することができる。

【0045】また、この第1の実施形態によるGaN系半導体レーザにおいては、成長マスク7の最下層および最上層のうちの少なくとも一方は低抵抗の金属膜またはTiN膜であるため、動作時にp側電極16とn側電極17との間に電流を流したとき、この電流は図15に示すように低抵抗の成長マスク7を通して流れれる。このため、n型GaN/アンドープGaN層8の厚さやキャリア濃度などの動作電圧への影響がなく、動作電圧の低減を図ることができる。これは、図16に示すように、この一実施形態のように導電性の成長マスクを用いない場合には、p側電極16とn側電極17との間に流す電流は比抵抗が金属やTiNなどに比べて高いn型GaN/アンドープGaN層2を流れ、したがってn型GaN/アンドープGaN層8の厚さやキャリア濃度などが動作電圧に影響することと比べて有利である。

【0046】次に、この発明の第2の実施形態によるGaN系半導体レーザの製造方法について説明する。このGaN系半導体レーザもSCH構造を有するものである。

【0047】図17に示すように、この第2の実施形態においては、成長マスク7を半導体レーザのストライプ方向と平行に形成する。この成長マスク7は、少なくともその最表面が窒化物からなる多層膜により構成される。この場合、この窒化物は導電性であっても絶縁性であってもよい。そして、第1の実施形態と同様にして、成長マスク7を用いてn型GaN層8を選択成長させ、その上に、n型GaN層9、n型AlGaNクラッド層10、n型GaN光導波層11、例えばGa_{1-x}In_xN/Ga_{1-y}In_yN多重量子井戸構造の活性層12、p型GaN光導波層13、p型AlGaNクラッド層14およびp型GaNコンタクト層15を順次成長させる。

【0048】次に、p型GaNコンタクト層15上に、例えばc面サファイア基板1の〈11-20〉方向に延びる所定幅のストライプ形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、例えばRIE法によりn型GaN層9が露出するまでエッチングすることにより、p型GaNコンタクト層15、p型AlGaNクラッド層14、p型GaN光導波層13、活性層12、n型GaN光導波層11およびn型AlGaNクラッド層10をストライプ状にパターニングする。

【0049】次に、エッティングマスクに用いたレジストパターンを除去した後、p型GaNコンタクト層15上にp側電極16を形成するとともに、メサ部に隣接する

部分のn型GaN層9上にn側電極17を形成する。

【0050】この後、上述のようにしてレーザ構造が形成されたc面サファイア基板1を劈開などによりバー状に加工して両共振器端面を形成し、さらにこれらの共振器端面に端面コーティングを施した後、このバーを劈開などによりチップ化する。以上により、目的とするSCH構造のGaN系半導体レーザが製造される。

【0051】この第2の実施形態によれば、成長マスク7を用いた選択成長により縦方向の結晶軸の方位がそろった良好な結晶性を持つn型GaN層8を成長させ、その上にレーザ構造を形成するGaN系半導体層を成長させていることにより、特性が良好で、寿命が長く、信頼性が高いGaN系半導体レーザを実現することができる。

【0052】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0053】例えば、上述の第1および第2の実施形態において挙げた数値、構造、基板、原料、プロセスなどはあくまでも例に過ぎず、必要に応じて、これらと異なる数値、構造、基板、原料、プロセスなどを用いてもよい。

【0054】また、上述の第1および第2の実施形態においては、成長マスク7の延びる方向をc面サファイア基板1の<11-20>方向に設定しているが、このストライプ形状の成長マスク7の延びる方向は例えば<1-100>方向に設定してもよい。

【0055】また、上述の第1および第2の実施形態においては、基板としてc面サファイア基板を用いているが、必要に応じて、SiC基板、Si基板、スピネル基板などを用いてもよい。

【0056】さらに、上述の第1および第2の実施形態においては、この発明をGaN系半導体レーザの製造に適用した場合について説明したが、この発明は、GaN系発光ダイオードはもちろん、GaN系FETなどのGaN系電子走行素子の製造に適用してもよい。

【0057】

【発明の効果】以上説明したように、この発明による窒化物系III-V族化合物半導体の成長方法によれば、成長マスクとして、少なくとも最表面が窒化物からなる多層膜を用いていることにより、低結晶欠陥密度で高品質の単結晶の窒化物系III-V族化合物半導体を成長させることができる。

【0058】また、この発明による半導体装置の製造方法によれば、成長マスクとして、少なくとも最表面が窒化物からなる多層膜を用いていることにより、低結晶欠陥密度で高品質の単結晶の窒化物系III-V族化合物半導体を成長させることができ、この窒化物系III-V族化合物半導体を用いて特性が良好な高性能の半導体

装置を製造することができる。

【0059】また、この発明による半導体装置によれば、成長マスクとして、少なくとも最表面が窒化物からなる多層膜を用いて選択成長された、低結晶欠陥密度で高品質の単結晶の窒化物系III-V族化合物半導体を用いて特性が良好な高性能の半導体装置を実現することができる。

【図面の簡単な説明】

【図1】成長マスクとしてSiO₂マスクを用いて選択成長させたGaN層にマスクに対して平行方向にX線を入射した場合におけるX線回折スペクトルの測定結果を示す略線図である。

【図2】成長マスクとしてSiO₂マスクを用いて選択成長させたGaN層にマスクに対して垂直方向にX線を入射した場合におけるX線回折スペクトルの測定結果を示す略線図である。

【図3】マスクに対して平行方向にX線を入射する様子を示す略線図である。

【図4】マスクに対して垂直方向にX線を入射する様子を示す略線図である。

【図5】成長マスクとしてSiO₂マスクを用いて選択成長させたGaN層の結晶軸の傾きを模式的に示す略線図である。

【図6】成長マスクとしてSiN/SiO₂マスクを用いて選択成長させたGaN層にマスクに対して平行方向にX線を入射した場合におけるX線回折スペクトルの測定結果を示す略線図である。

【図7】成長マスクとしてSiN/SiO₂マスクを用いて選択成長させたGaN層にマスクに対して垂直方向にX線を入射した場合におけるX線回折スペクトルの測定結果を示す略線図である。

【図8】成長マスクとして最表面が窒化物からなるマスクを用いて選択成長させたGaN層の結晶軸の傾きを模式的に示す略線図である。

【図9】この発明の第1の実施形態によるGaN系半導体レーザの製造方法を説明するための断面図である。

【図10】この発明の第1の実施形態によるGaN系半導体レーザの製造方法を説明するための断面図である。

【図11】この発明の第1の実施形態によるGaN系半導体レーザの製造方法を説明するための断面図である。

【図12】この発明の第1の実施形態によるGaN系半導体レーザの製造方法を説明するための断面図である。

【図13】この発明の第1の実施形態によるGaN系半導体レーザの製造方法を説明するための断面図である。

【図14】この発明の第1の実施形態によるGaN系半導体レーザの製造方法を説明するための斜視図である。

【図15】この発明の第1の実施形態によるGaN系半導体レーザにおける電流経路を説明するための断面図である。

【図16】導電性の成長マスクを用いないGaN系半導

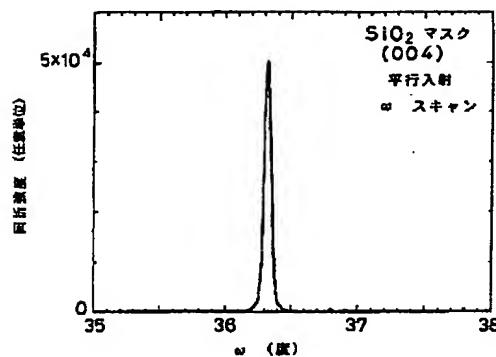
体レーザにおける電流経路を説明するための断面図である。

【図17】この発明の第2の実施形態によるGaN系半導体レーザの製造方法を説明するための斜視図である。

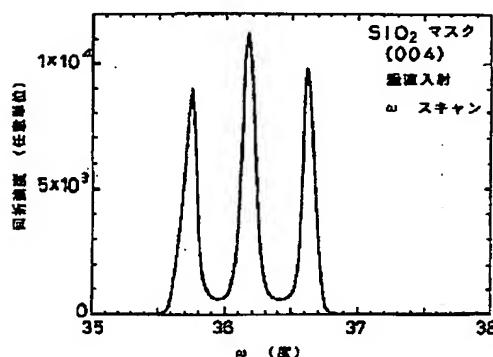
【符号の説明】

1・・・c面サファイア基板、2・・・n型GaN／ア

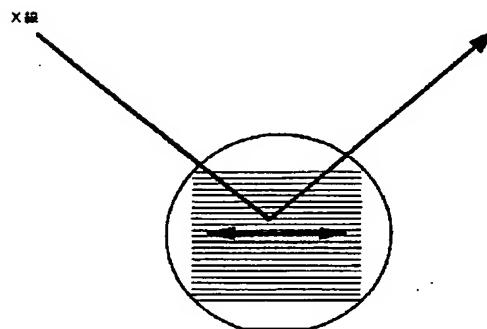
【図1】



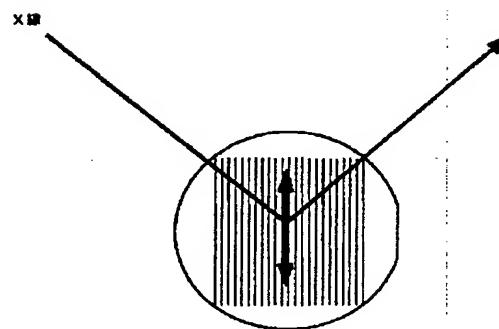
【図2】



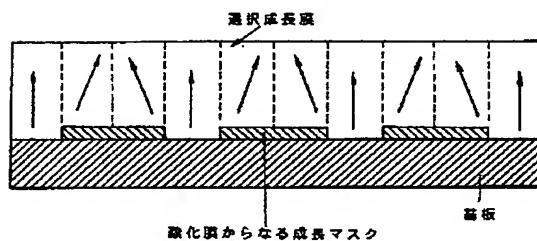
【図3】



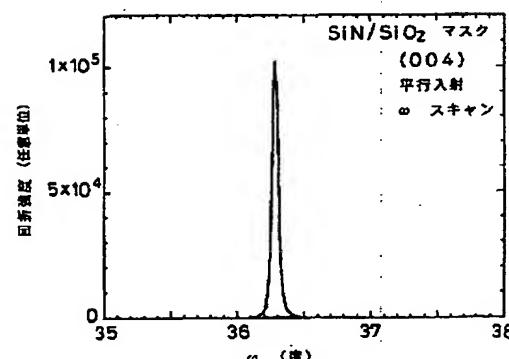
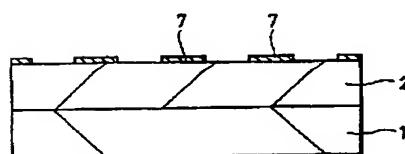
【図4】



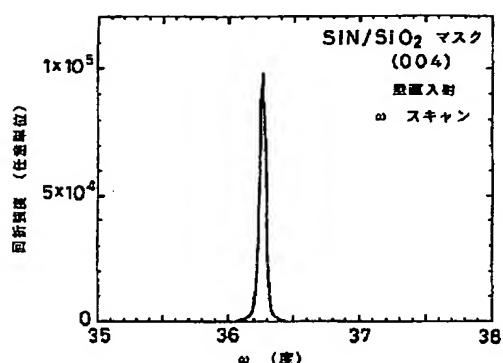
【図5】



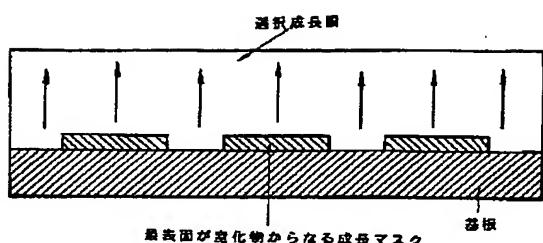
【図12】



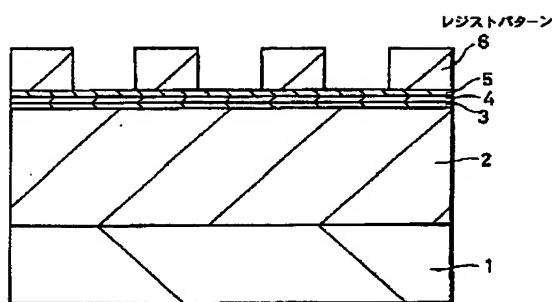
【図 7】



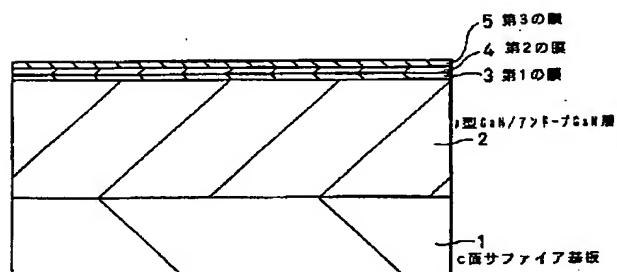
【図 8】



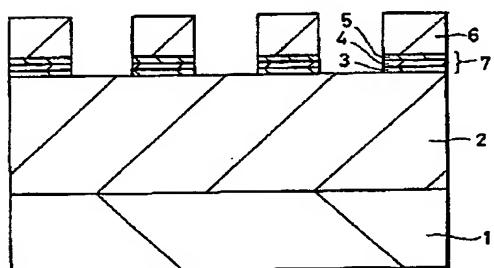
【図 10】



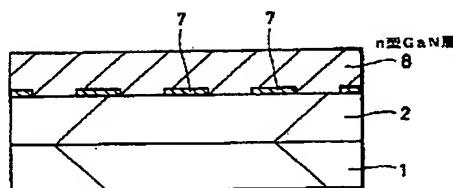
【図 9】



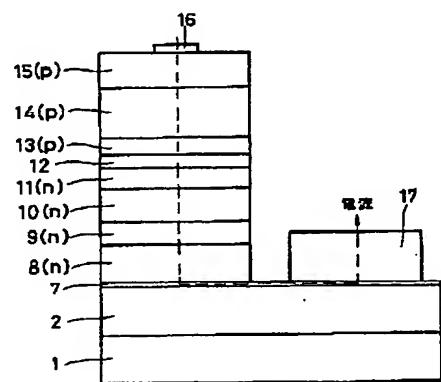
【図 11】



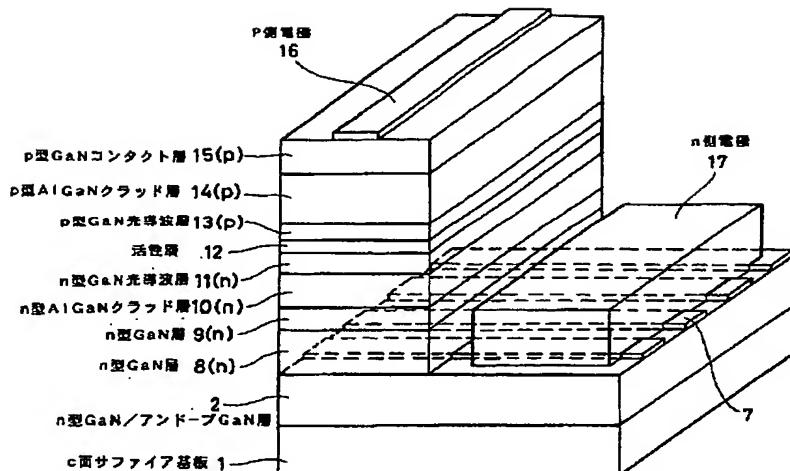
【図 13】



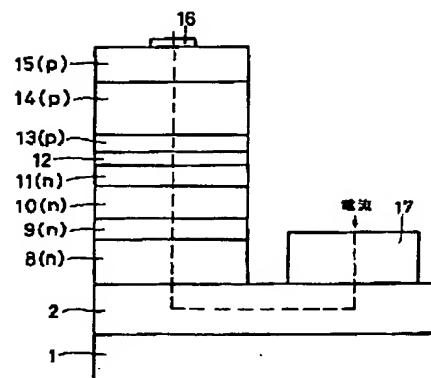
【図 15】



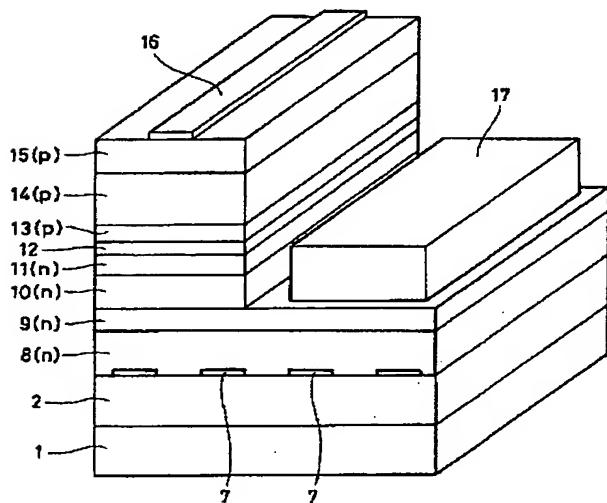
【図14】



【図16】



【図17】



フロントページの続き

(72)発明者 朝妻 庸紀
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(72)発明者 喜鶴 悟
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(72)発明者 船戸 健次
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(72)発明者 富谷 茂隆
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

Fターム(参考) 5F041 AA40 CA04 CA05 CA33 CA34
CA40 CA46 CA65 CA82
5F073 AA04 AA61 AA74 CA07 CB04
CB05 DA05 DA30 EA29

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000164988 A

(43) Date of publication of application: 16.06.00

(51) Int. Cl

H01S 5/323
H01L 33/00

(21) Application number: 10335851

(22) Date of filing: 26.11.98

(71) Applicant: SONY CORP

(72) Inventor: HINO TOMOKIMI
ASANO TAKEHARU
ASAUMA YASUNORI
KIJIMA SATORU
FUNATO KENJI
TOMITANI SHIGETAKA

(54) METHOD OF GROWING NITRIDE-BASED III-V
COMPOUND SEMICONDUCTOR AND
SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To grow high-quality single-crystal nitride-based III-V compound semiconductor having a low density of crystal defects.

SOLUTION: A growing mask is formed on a substrate. When nitride-based III-V compound semiconductor is grown on the substrate by using this growing mask, a multilayer film at least having a top surface consisting of nitride as a growing mask. The growing masks consist of, for example, an oxide film and a nitride film thereon, a metal film and a nitride film thereon, an oxide film, a film consisting of nitride and oxide thereon and a nitride film thereon, a first metal film, a second metal film thereon and a nitride film thereon and so on. The oxide film is a SiO₂ film or the like, the nitride film is a TiN film, SiN film or the like, the film consisting of oxide and nitride is a SiNO film or the like and the metal film is a Ti film, Pt film or the like.

